

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010233640 \*\*Image available\*\*

WPI Acc No: 1995-134897/199518

XRPX Acc No: N95-106231

Semiconductor device manufacturing method for active matrix type LCD devices - unites direction of crystal growth with that of carrier mobility and silicon film formed on glass substrate

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); SHARP KK (SHAF ); HANDOTAI ENERGY KENKYUSHO KK (SEME )

Inventor: FUNADA F; MORITA T; TANAKA H; TAKAYAMA T; ZHANG H

Number of Countries: 004 Number of Patents: 007

Patent Family:

| Patent No         | Kind | Date     | Applicat No | Kind | Date     | Week     |
|-------------------|------|----------|-------------|------|----------|----------|
| <b>JP 7058338</b> | A    | 19950303 | JP 93218156 | A    | 19930810 | 199518 B |
| TW 260805         | A    | 19951021 | TW 94106908 | A    | 19940728 | 199602   |
| US 5614426        | A    | 19970325 | US 94286454 | A    | 19940805 | 199718   |
|                   |      |          | US 95518318 | A    | 19950823 |          |
| CN 1108804        | A    | 19950920 | CN 94109084 | A    | 19940810 | 199733   |
| US 5696388        | A    | 19971209 | US 94286454 | A    | 19940805 | 199804   |
|                   |      |          | US 96745312 | A    | 19961112 |          |
| CN 1206225        | A    | 19990127 | CN 94109084 | A    | 19940810 | 199923   |
|                   |      |          | CN 98103874 | A    | 19940810 |          |
| JP 2975973        | B2   | 19991110 | JP 93218156 | A    | 19930810 | 199953   |

Priority Applications (No Type Date): JP 93218156 A 19930810

Patent Details:

| Patent No  | Kind | Lan Pg | Main IPC       | Filing Notes                     |
|------------|------|--------|----------------|----------------------------------|
| JP 7058338 | A    |        | 9 H01L-029/786 |                                  |
| US 5614426 | A    |        | 12 H01L-021/84 | Div ex application US 94286454   |
| US 5696388 | A    |        | 12 H01L-029/04 | Cont of application US 94286454  |
| CN 1206225 | A    |        | H01L-021/84    | Div ex application CN 94109084   |
| JP 2975973 | B2   |        | 9 H01L-029/786 | Previous Publ. patent JP 7058338 |
| TW 260805  | A    |        | H01L-021/02    |                                  |
| CN 1108804 | A    |        | H01L-021/00    |                                  |

Abstract (Basic): JP 7058338 A

The manufacturing method is applicable to glass substrate (101). A crystalline silicon film is formed by crystal growth, parallel to the surface of the substrate. Multiple TFT are installed on the silicon film and mobile direction of crystal growth is carried out in specific angle.

The angle of direction of crystal growth and mobile direction carrier which carries out crystal growth differs mutually. The mobility of carrier is increased by uniting the direction of crystal growth and mobile direction of carrier. The OFF state current is reduced by carrying out crystal growth and carrier transport vertically.

USE/ADVANTAGE - For use in image sensors. Controls resistance of carrier. Increases mobility of carrier. Reduces OFF state current. Dwg.1/5

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD; ACTIVE; MATRIX; TYPE; LCD; DEVICE; UNITE; DIRECTION; CRYSTAL; GROWTH; CARRY; MOBILE; SILICON; FILM; FORMING; GLASS; SUBSTRATE

Derwent Class: P81; U13; U14

International Patent Class (Main): H01L-021/00; H01L-021/02; H01L-021/84;

H01L-029/04; H01L-029/786

International Patent Class (Additional): G02F-001/136; H01L-021/20;

H01L-021/336; H01L-029/12; H01L-031/036

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04765738      \*\*Image available\*\*

**SEMICONDUCTOR DEVICE AND ITS PRODUCTION**

PUB. NO.:      **07-058338** [JP 7058338 A]

PUBLISHED:      March 03, 1995 (19950303)

INVENTOR(s):      FUNADA FUMIAKI

MORITA TATSUO

TANAKA HIROHISA

CHIYOU KOUYUU

TAKAYAMA TORU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      05-218156 [JP 93218156]

FILED:      August 10, 1993 (19930810)

INTL CLASS:      [6] H01L-029/786; G02F-001/136; H01L-021/336

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

**ABSTRACT**

PURPOSE: To realize a high-speed operation in a peripheral circuit part and decrease OFF-state current value in a pixel part by forming TFTs in both parts by crystalline silicon films which are respectively crystal-grown in a parallel direction to the carrier flow in the peripheral circuit part and in a vertical direction against it in the pixel part.

CONSTITUTION: An amorphous silicon film 104 is annealed for crystallization in a hydrogen reduction atmosphere or inactive atmosphere. At this time, the film 104 is crystallized in a vertical direction against a substrate 101 in an area where a nickel silicide film is formed selectively. In region adjacent to the substrate 100, crystal growth is progressed in a horizontal direction against the region 100 (a direction parallel to the substrate) as indicated in an arrow mark 105. The source/drain regions of the TFT in the peripheral circuit part are formed in such a crystal growth direction. In addition, those of the TFT in the pixel part are formed in a direction which crosses at a right angle the crystal growth direction indicated by the mark 105. Thus high speed operation can be realized.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58338

(43) 公開日 平成7年(1995)3月3日

| (51) Int.Cl. <sup>6</sup> | 識別記号  | 序内整理番号  | F I             | 技術表示箇所      |
|---------------------------|-------|---------|-----------------|-------------|
| H 0 1 L 29/786            |       |         |                 |             |
| G 0 2 F 1/136             | 5 0 0 | 9119-2K |                 |             |
| H 0 1 L 21/336            |       |         |                 |             |
|                           |       | 9056-4M | H 0 1 L 29/ 78  | 3 1 1 A     |
|                           |       | 9056-4M |                 | 3 1 1 Y     |
|                           |       |         | 審査請求 未請求 請求項の数7 | F D (全 9 頁) |

(21) 出願番号 特願平5-218156

(22) 出願日 平成5年(1993)8月10日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(71) 出願人 000005049

シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 船田 文明

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 森田 達夫

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 アクティブマトリックス型の液晶表示装置において、周辺回路部分と画素部分とに、それぞれ適した T F T を配置する。

【構成】 アクティブマトリックス型の液晶表示装置において、周辺回路部分には、高移動度を有し、多くのオン電流を流すことのできる T F T を配置する。また画素部分には、オフ電流の小さい T F T を配置する。このような特性の異なる T F T を基板に平行な方向に結晶成長した結晶性珪素膜を利用して構成する。即ち、結晶成長した方向とキャリアの移動する方向との角度をそれぞれ異ならせることで、キャリアが移動する際に受ける抵抗を制御し、T F T の特性を決定する。例えば、結晶成長方向とキャリアの移動する方向とを合わせることで、キャリアに高移動度を有せしめることができる。また、結晶成長方向とキャリアの移動する方向とを垂直にすることで、オフ電流を下げる構成とすることができる。

1

## 【特許請求の範囲】

【請求項 1】 基板上に基板表面に平行に結晶成長した結晶性珪素膜を有し、

前記結晶性珪素膜を利用して薄膜トランジスタが多数設けられており、

前記多数の薄膜トランジスタの一部において、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度を有するように構成され、

前記多数の薄膜トランジスタの他の一部において、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成され、

ていることを特徴とする半導体装置。

【請求項 2】 基板上に基板表面に平行に結晶成長した結晶性珪素膜を有し、

前記結晶性珪素膜を利用して薄膜トランジスタが多数設けられており、

前記多数の薄膜トランジスタの一部は、アクティブマトリックス型液晶表示装置の周辺回路部分に設けられ、

前記多数の薄膜トランジスタの他の一部は、アクティブマトリックス型液晶表示装置の画素部分に設けられ、

前記周辺回路部分に設けられた薄膜トランジスタにおいて、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度を有するように構成され、

前記画素部分に設けられた薄膜トランジスタにおいて、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成され、

ていることを特徴とする半導体装置。

【請求項 3】 請求項 1 または請求項 2 において、第 1 の特定の角度が概略平行であり、第 2 の特定の角度が概略垂直であることを特徴とする半導体装置。

【請求項 4】 基板上に実質的な非晶質珪素膜を形成する工程と、

該工程の前または後において、結晶化を助長する金属元素を選択的に導入する工程と、

加熱によって前記非晶質珪素膜を結晶化させ、前記金属元素が選択的に導入された領域の周辺領域において、基板表面に対し概略平行な方向に結晶成長を行わす工程と、

前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性珪素膜で多数の薄膜トランジスタを形成する工程と、

を有し、

前記多数の薄膜トランジスタの一部は、キャリアの移動方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度を有するように構成され、

前記多数の薄膜トランジスタの他の一部は、キャリアの移動する方向と結晶性珪素膜の結晶成長方向とが第 1 の

2

特定の角度とは異なる第 2 の特定の角度を有するように構成され、

ていることを特徴とする半導体装置の作製方法。

【請求項 5】 基板上に実質的な非晶質珪素膜を形成する工程と、

該工程の前または後において、結晶化を助長する金属元素を選択的に導入する工程と、

加熱によって前記非晶質珪素膜を結晶化させ、前記金属元素が選択的に導入された領域の周辺領域において、基板表面に対し概略平行な方向に結晶成長を行わす工程と、

前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性珪素膜で多数の薄膜トランジスタを形成する工程と、

を有し、

前記多数の薄膜トランジスタの一部は、アクティブマトリックス型液晶表示装置の周辺回路部分に形成されており、キャリアの移動する方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度を有するように構成され、

前記多数の薄膜トランジスタの他の一部は、アクティブマトリックス型液晶表示装置の画素部分に形成されており、キャリアの移動する方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成されていることを特徴とする半導体装置の作製方法。

【請求項 6】 請求項 4 または請求項 5 において、第 1 の特定の角度が概略平行であり、第 2 の特定の角度が概略垂直であることを特徴とする半導体装置の作製方法。

【請求項 7】 請求項 4 または請求項 5 または請求項 6 において、金属元素として Ni、Co、Pd、Pt の中から選ばれた少なくとも一つの材料を用いることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ガラス等の絶縁基板上に設けられた TFT（薄膜トランジスタ）を用いた半導体装置に関する。特に、アクティブマトリックス型の液晶表示装置に利用できる半導体装置に関する。

【0002】

【従来の技術】ガラス等の絶縁基板上に TFT を有する半導体装置としては、これらの TFT を画素の駆動に用いるアクティブマトリックス型液晶表示装置やイメージセンサー等が知られている。

【0003】これらの装置に用いられる TFT には、薄膜状の珪素半導体を用いるのが一般的である。薄膜状の珪素半導体としては、非晶質珪素半導体（a-Si）からなるものと結晶性を有する珪素半導体からなるものの 2 つに大別される。非晶質珪素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電率等

の物性が結晶性を有する珪素半導体に比べて劣るため、今後より高速特性を得る為には、結晶性を有する珪素半導体からなるTFTの作製方法の確立が強く求められている。尚、結晶性を有する珪素半導体としては、多結晶珪素、微結晶珪素、結晶成分を含む非晶質珪素、結晶性と非晶質性の中間の状態を有するセミアモルファス珪素等が知られている。

【0004】これら結晶性を有する薄膜状の珪素半導体を得る方法としては、

(1) 成膜時に結晶性を有する膜を直接成膜する。

(2) 非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる。

(3) 非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる。

と言った方法が知られている。しかしながら、(1)の方法は良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難であり、また成膜温度が600℃以上と高いので、安価なガラス基板が使用できないというコストの問題があった。また、(2)の方法は、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さいため、スループットが低いという問題がまずあり、また大面積基板の全面を均一に処理するにはレーザーの安定性が充分ではなく、次世代の技術という感が強い。(3)の方法は、(1)、(2)の方法と比較すると大面積に対応できるという利点はあるが、やはり加熱温度として600℃以上の高温にすることが必要であり、安価なガラス基板を用いることを考えると、さらに加熱温度を下げる必要がある。特に現在の液晶表示装置の場合には大画面化が進んでおり、その為ガラス基板も同様に大型の物を使用する必要がある。この様に大型のガラス基板を使用する場合には、半導体作製に必要不可欠な加熱工程における縮みや歪みといったものが、マスク合わせ等の精度を下げ、大きな問題点となっている。特に現在最も一般的に使用されている7059ガラスの場合には、歪み点が593℃であり、従来の加熱結晶化方法では大きな変形を起こしてしまう。また、温度の問題以外にも現在のプロセスでは結晶化に要する加熱時間が数十時間以上にも及ぶので、さらにその時間を短くすることも必要である。

【0005】

【発明が解決しようとする課題】本発明は、上記の問題を解決する手段を提供するものである。より具体的には非晶質珪素からなる薄膜を加熱により結晶化させる方法を用いた、結晶性を有する珪素半導体からなる薄膜の作製方法において、結晶化に必要な温度の低温化と時間の短縮を両立するプロセスを提供することをその目的とする。勿論、本発明で提供されるプロセスを用いて作製した結晶性を有する珪素半導体は、従来技術で作製されたものと同等以上の物性を有し、TFTの活性層領域にも

使用可能なものであることは言うまでもないことである。そして、この技術を利用することにより、必要とする特性を備えたTFTを基板上に選択的に設けることを目的とするものである。

【0006】〔発明の背景〕本発明人らは、上記従来の技術の項で述べた、非晶質の珪素半導体膜をCVD法やスパッタ法で成膜し、該膜を加熱によって結晶化させる方法について、以下のような実験及び考察を行った。

【0007】まず実験事実として、ガラス基板上に非晶質珪素膜を成膜し、この膜を加熱により結晶化させるメカニズムを調べると、結晶成長はガラス基板と非晶質珪素との界面から始まり、ある程度の膜厚以上では基板表面に対して垂直な柱状に進行することが認められた。

【0008】上記現象は、ガラス基板と非晶質珪素膜との界面に、結晶成長の基となる結晶核（結晶成長の基となる種）が存在しており、その核から結晶が成長していくことに起因すると考察される。このような結晶核は、基板表面に微量に存在している不純物金属元素やガラス表面の結晶成分（結晶化ガラスと呼ばれるように、ガラス基板表面には酸化珪素の結晶成分が存在していると考えられる）であると考えられる。

【0009】そこで、より積極的に結晶核を導入することによって結晶化温度の低温化が可能ではないかと考え、その効果を確認すべく、他の金属を微量にガラス基板上に成膜し、その上に非晶質珪素からなる薄膜を成膜、その後加熱結晶化を行う実験を試みた。その結果、幾つかの金属を基板上に成膜した場合においては結晶化温度の低下が確認され、異物を結晶核とした結晶成長が起こっていることが予想された。そこで低温化が可能であった複数の不純物金属について更に詳しくそのメカニズムを調査した。なお上記複数の不純物元素は、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、パラジウム(Pd)、白金(Pt)である。

【0010】結晶化は、初期の核生成と、その核からの結晶成長の2段階に分けて考えることができる。ここで、初期の核生成の速度は、一定温度において点状に微細な結晶が発生するまでの時間を測定することによって観測されるが、この時間は上記不純物金属を下地に成膜した非晶質珪素薄膜ではいずれの場合も短縮され、結晶核導入の結晶化温度低温化に対する効果が確認された。しかも予想外のことであるのだが、核生成後の結晶粒の成長を加熱時間を変化させて調べたところ、ある種の金属を成膜後、その上に成膜した非晶質珪素薄膜の結晶化においては、核生成後の結晶成長の速度までが飛躍的に増大することが観測された。このメカニズムは現状では明らかではないが、なにがしかの触媒的な効果が作用しているものと推測される。

【0011】いずれにしろ、上記2つの効果により、ガラス基板上にある種の金属を微量に成膜した上に非晶質珪素からなる薄膜を成膜、その後加熱結晶化した場合に

は、従来考えられなかったような、580℃以下の温度で4時間程度の時間で十分な結晶性が得られることが判明した。この様な効果を有する不純物金属の中で、最も効果が顕著であり、我々が選択した材料がニッケルである。

【0012】ニッケルがどの程度の効果を有するののか一例を挙げると、なんら処理を行なわない、即ちニッケルの微量な薄膜を成膜していない基板上（コーニング7059ガラス）にプラズマCVD法で形成された非晶質珪素からなる薄膜を窒素雰囲気中での加熱によって、結晶化する場合、その加熱温度として600℃とした場合、加熱時間として10時間以上の時間を必要としたが、ニッケルの微量な薄膜を成膜した基板上の非晶質珪素からなる薄膜を用いた場合には、4時間程度の加熱において同様な結晶化状態を得ることができた。尚この際の結晶化の判断はラマン分光スペクトルを利用した。このことだけからも、ニッケルの効果が非常に大きいことが判るであろう。

#### 【0013】

【課題を解決するための手段】上記説明から判る様に、ニッケルの微量な薄膜を成膜した上から、非晶質珪素からなる薄膜を成膜した場合、結晶化温度の低温化及び結晶化に要する時間の短縮が可能である。そこで、このプロセスをTFTの製造に用いることを前提に、さらに詳細な説明を加えていくことにする。尚、後ほど詳述するが、ニッケルの薄膜は基板上（即ち非晶質珪素膜下側）のみならず非晶質珪素膜上に成膜しても同様の効果を有すること、及びイオン注入、さらにはプラズマ処理でも同様であったことから、今後本明細書ではこれら一連の処理を「ニッケル微量添加」と呼ぶことにする。また技術的には、非晶質珪素膜の成膜時にニッケル微量添加を行うことも可能である。

【0014】まずニッケル微量添加の方法について説明する。ニッケルの微量添加は、基板上に微量なニッケル薄膜を成膜し、その後非晶質珪素を成膜する方法でも、先に非晶質珪素を成膜し、その上から微量なニッケル薄膜を成膜する方法でも、両者同様に低温化の効果が有り、その成膜方法はスパッタ法でも、蒸着法でも、CVD法でも、プラズマを用いた方法でも可能で、成膜方法は問わないことが判明している。ただし、基板上に微量なニッケル薄膜を成膜する場合、7059ガラス基板の上から直接微量なニッケル薄膜を成膜するよりは、同基板上に酸化珪素の薄膜（下地膜）を成膜し、その上に微量なニッケル薄膜を成膜した場合の方が効果がより顕著である。この理由として考えられることとして、珪素とニッケルが直接接触していることが今回の低温結晶化には重要であり、7059ガラスの場合には珪素以外の成分がこの両者の接触あるいは反応を阻害するのではないかということが挙げられる。

【0015】また、ニッケル微量添加の方法としては、

非晶質珪素の上または下に接して薄膜を形成する以外に、イオン注入によってニッケルを添加してもほぼ同様の効果が確認された。ニッケルの量については、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上の量の添加において低温化が確認されているが、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上の添加量においては、ラマン分光スペクトルのピークの形状が珪素単体の物とは明らかに異なることから、好ましくは、 $1 \times 10^{15} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲がよい。ニッケルの濃度が、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上になると、局部的にNiSiが発生し、半導体としての特性が低下してしまう。またニッケルの濃度が $1 \times 10^{15} \text{ atoms/cm}^3$ 以下であると、ニッケルの触媒としての効果が低下してしまう。また結晶化した状態においては、ニッケルの濃度が低い程良い。

【0016】続いて、ニッケル微量添加を行った場合の結晶形態について説明を加える。上述の通り、ニッケルを添加しない場合には、基板界面等の結晶核からランダムに核が発生し、その核からの結晶成長もまたある程度の膜厚まではランダムに、さらに厚い薄膜については一般的に(110)方向が基板に垂直方向に配列した柱状の結晶成長が行われることが知られており、当然ながら薄膜全体に渡ってほぼ均一な結晶成長が観測される。それに対して、今回のニッケル微量添加したものについては、ニッケルを添加した領域と、その近傍の部分で結晶成長が異なるという特徴を有していた。即ち、ニッケルを添加した領域については、添加したニッケルあるいはその珪素との化合物が結晶核となり、ニッケルを添加していないものと同様に基板にほぼ垂直に柱状の結晶が成長することが透過電子顕微鏡写真より明らかとなった。そして、その近傍のニッケルを微量添加していない領域においてさえも低温での結晶化が確認された。その部分は基板と平行に針状あるいは柱状に結晶が成長するという特異な結晶成長が観測された。この基板に平行な横方向の結晶成長は、ニッケルを微量添加した領域から、大きいものでは数百 $\mu\text{m}$ も成長することが観測され、時間の増加及び温度が高くなるに比例して成長量も増大することも判った。例として、550℃、4時間においては約40 $\mu\text{m}$ 程度の成長が観測された。

【0017】上記ニッケルを微量添加した領域から成長した針状または柱状の結晶は、基板と平行な方向に成長しており、その成長方向においては、粒界の影響が極めて小さいことが考えられる。即ち、結晶成長が針状あるいは柱状に行われるので、その方向での結晶粒界の影響は極めて小さいと考えることができる。

【0018】ここで、アクティブマトリックス型液晶表示装置について考察すると、アクティブマトリックス型液晶表示装置においては、周辺回路において必要とされるTFTと画素部分において必要とされるTFTとで、その必要とされる特性が異なることが指摘される。即



ち、周辺回路のドライバを形成するTFTは、高移動度が要求され大きなオン電流を流すことのできる特性が必要とされ、画素部分に設けられるTFTは、電荷保持率を高めるため、移動度はそれ程必要とされない代わり、オフ電流が小さいことが要求される。

【0019】そこで本発明を用いる場合には、前述の基板に平行な方向に結晶成長した結晶性珪素膜を用い、周辺回路に用いるTFTは、結晶成長方向と平行な方向にソース／ドレインが構成されるようにし、画素に用いるTFTは、結晶成長方向と垂直な方向にソース／ドレインが構成されるようにする。即ち、周辺回路に用いるTFTは、キャリアが移動する際に粒界の影響を極力受けない構成とし、画素に用いられるTFTは、キャリアが移動する際に、粒界を横切るような構成とすることによって、ソース／ドレイン間を高抵抗とし、結果としてオフ電流を下げる構成とするものである。

【0020】上記構成は、キャリアがソース／ドレイン間を流れることを利用し、ソース／ドレインの方向（ソースとドレインを結ぶ線の方向）を前述の結晶の成長方向と平行にするか、あるいは垂直にするかで、必要とする特性を有するTFTを得ることを思想とする。即ちキャリアが移動する際に、針状あるいは柱状に成長した結晶の粒界に平行な方向にキャリアを移動させるか（即ち結晶の成長方向に平行な方向に移動させるか）、あるいは針状あるいは柱状に成長した結晶の粒界に垂直な方向にキャリアを移動させるか（即ち結晶の成長方向に垂直な方向に移動させるか）、ということを選択することによって、高移動度TFTを得るか、あるいはオフ電流の小さいTFTを得るか、ということを経験的な思想とする。

【0021】

【作用】基板表面に対して平行な方向に結晶成長した結晶性珪素膜を用いてTFTを構成する際に、結晶の成長方向にそってソース／ドレイン領域を形成することによって、キャリアの移動が粒界の影響をあまり受けない高移動度を有するTFTを得ることができる。また、結晶成長方向に垂直な方向にソース／ドレイン領域を形成することにより、キャリアの移動が粒界の影響を受け、結果としてオフ電流の小さいTFTを得ることができる。そして、これらのTFTは、結晶成長方向に対してどのようにソース／ドレイン間を移動するキャリアの方向を設定させるかで作り分けることができる。

【0022】

【実施例】図1に実施例の概要を示す。図1は、液晶表示装置を上面から見たものであり、マトリックス状に設けられた画素部分と、周辺回路部分とが示されている。本実施例は、絶縁基板（例えばガラス基板）上に画素を駆動するTFTと周辺回路を構成するTFTとを形成する例である。本実施例においては、TFTを構成する半導体膜として基板に平行な方向に結晶成長した結晶性珪

素膜を用い、周辺回路のTFTはその動作時のキャリアの移動方向が、この結晶性珪素膜の結晶成長方向と平行な方向になるようにし、画素部分のTFTはその動作時のキャリアの移動方向が、この結晶性珪素膜の結晶成長方向と垂直な方向になるようにするものである。

【0023】以下において、図2に示すのが、周辺回路を構成するNTFTとPTFTとを相補型に構成した回路の作製工程についてであり、図4に示すのが画素に形成されるNTFTの作製工程についてである。また両工程は同じ基板上において行なわれるものであり、共通する工程は同時に行なわれる。即ち、図2の(A)～

(D)と図4の(A)～(D)とはそれぞれ対応するものであり、図2(A)の工程と、図4(A)の工程は同時に進行し、図2(B)の工程と、図4(B)の工程は同時に進行し、という様になる。

【0024】図2に周辺回路を構成するNTFTとPTFTとを相補型に構成した回路の作製工程を示し、図4に画素に設けられるNTFTの作製工程を示す。まず、ガラス基板（コーニング7059）101上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜102を形成する。つぎにメタルマスクまたは酸化珪素膜等によって形成されたマスク103を設ける。このマスク103によって、スリット状に下地膜102が露呈される。即ち、図1(A)の状態を上面から見ると、スリット状に下地膜102が露呈しており、他の部分はマスクされている状態となっている。またこの際、図4に示す画素部分のTFTにおいては、紙面手前側または紙面向う側に下地膜102がスリット状に露呈している部分がある。この関係を図5を用いて説明する。図5において、A-A'で切った断面が図4(C)または図4

(D)に対応する。なお図4において、114と116がソース／ドレイン領域であり、115がチャネル形成領域である。図5に示すように、図2(A)に対応する工程では、100に示す領域においてスリット状に下地膜102が露呈している。

【0025】上記マスク103を設けた後、スパッタリング法によって、厚さ5～200Å、例えば20Åの珪化ニッケル膜（化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x=2.0$ ）を成膜する。この後マスク103を取り除くことによって、領域100の部分に選択的に珪化ニッケル膜が成膜されたことになる。即ち、領域100の部分にニッケル微量添加が選択的に行われたことになる。

【0026】つぎに、プラズマCVD法によって、厚さ500～1500Å、例えば1000Åの真性（I型）の非晶質珪素膜（アモルファスシリコン膜）104を成膜する。そして、これを水素還元雰囲気下（好ましくは、水素の分圧が0.1～1気圧）または不活性雰囲気下（大気圧）、550℃で4時間アニールして結晶化させる。このアニール温度は、450℃以上の温度で可能

であるが、高いと従来の方法と同じになってしまう。従って、450℃～550℃が好ましいアニール温度であるといえる。

【0027】この際、珪化ニッケル膜が選択的に成膜された100の領域においては、基板101に対して垂直方向に珪素膜104の結晶化が起こる。そして、領域100の周辺領域では、矢印105で示すように、領域100から横方向（基板と平行な方向）に結晶成長が行われる。そして後の工程で明らかになるように、図2に示す周辺回路部分のTFTにおいては、ソース／ドレイン領域がこの結晶成長方向に形成される。また、図5から明らかなように、画素部分に設けられるTFTにおいては、ソース／ドレインを結ぶ線と105で示す結晶成長の方向とは直交する。なお上記結晶成長に際し、矢印105で示される基板と平行な方向の結晶成長の距離は、40μm程度である。

【0028】上記工程の結果、非晶質珪素膜を結晶化させて、結晶性珪素膜104を得ることができる。そして、素子間分離を行い、不要な部分の結晶性珪素膜104を除去し、素子領域を形成する。この工程において、TFTの活性層（ソース／ドレイン領域、チャネル形成領域が形成される部分）の長さを40μm以内とすると、図2においては活性層を結晶性珪素膜で構成することができる。勿論、少なくともチャネル形成領域を結晶性珪素膜で構成するのであれば、さらに活性層の長さを長くすることができる。

【0029】その後、スパッタリング法によって厚さ1000Åの酸化珪素膜106をゲイト絶縁膜として成膜する。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン／酸素＝0～0.5、例えば0.1以下とする。引き続いて、スパッタリング法によって、厚さ6000～8000Å、例えば6000Åのアルミニウム（0.1～2%のシリコンを含む）を成膜する。なお、この酸化珪素膜106とアルミニウム膜の成膜工程は連続的に行うことが望ましい。

【0030】そして、アルミニウム膜をパターニングして、ゲイト電極107、109を形成する。これらの工程は、図2（C）と図4（C）とで同時進行で行なわれることはいうまでもない。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層108、110を形成する。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液で行う。得られた酸化物層108、110の厚さは2000Åである。なお、この酸化物108と110とは、後のイオンドーピング工程において、オフセットゲイト領域を形成する厚さとなるので、オフセットゲイト領域の長さを上記陽極酸化工程で決めることができる。

【0031】次に、イオンドーピング法によって、活性

領域にゲイト電極107とその周囲の酸化層108、ゲイト電極109とその周囲の酸化層110をマスクとして不純物（燐およびホウ素）を注入する。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）およびジボラン（ $\text{B}_2\text{H}_6$ ）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とする。ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域114と116、P型の不純物領域111と113が形成され、図2に示すようにPチャネル型TFT（PTFT）とNチャネル型TFT（NTFT）とを形成することができる。また同時に図4、図5に示すように、Nチャネル型TFTを形成することができる。

【0032】その後、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、KrFエキシマレーザー（波長248nm、パルス幅20ns）を用いるが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200～400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、一か所につき2～10ショット、例えば2ショットとする。このレーザー光の照射時に基板を200～450℃程度に加熱することは有用である。このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光の照射によって、再結晶化が容易に進行し、P型を付与する不純物がドーブされた不純物領域111と113、さらにはN型を付与する不純物がドーブされた不純物領域114と116は、容易に活性化させ得る。

【0033】続いて、周辺回路部分においては、図2に示すように、厚さ6000Åの酸化珪素膜118を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線117、120、119を形成する。さらに、画素部分では図4に示すように、層間絶縁物211を酸化珪素によって形成し、コンタクトホールの形成後、画素電極となるITO電極212を形成し、さらに金属配線213、214を形成する。そして最後に、1気圧の水素雰囲気中で350℃、30分のアニールをおこない、TFT回路またはTFTを完成させる。（図1（D）、図4（D））

【0034】図2に示す構成において、ニッケルが選択的に導入された領域とTFTとの位置関係を示すために、図3に、図2（D）を上面から見た概要を示す。図3において、100で示される領域に選択的にニッケル微量添加が行われ、熱アニールによってそこから矢印1

05で示す横方向（紙面左右方向）に結晶成長がなされる。そして、この横方向の結晶成長が行なわれた領域において、ソース／ドレイン領域111と113、チャネル形成領域112がPTFTとして形成される。同様に、ソース／ドレイン領域114と116、チャネル形成領域115がNTFTとして形成される。即ち、周辺回路部分においては、ソース／ドレイン間において、キャリアの移動する方向が、結晶の成長方向105と同一の方向となっている。従って、キャリアが移動に際して粒界を横切ることがないので、特に移動度を高くさせることができる。

【0035】一方、画素部分において形成された図4に示すNTFTは、図5に示すようにソース／ドレイン領域を移動するキャリアが結晶成長方向105に対して垂直となるので、その移動に際して多数の粒界を横切らなければならない。即ち、ソース／ドレイン間の抵抗は高くなり、オン電流及びオフ電流ともにその値は小さくなる。しかしながら、オフ電流の絶対値を小さくできるので、画素電極（図4でいえばITO電極212）の電荷を保持する機能は向上する。従って、必要とするON/OFF比がとれるならば、図4及び図5に示すような構成を採って、オフ電流の小さいTFTを画素電極に採用することは有用である。

【0036】本実施例においては、Niを導入する方法として、非晶質珪素膜104下の下地膜102表面に選択的にNiを薄膜（極めて薄いので、膜として観察することは困難である）として形成し、この部分から結晶成長を行わす方法を採用した。しかし、非晶質珪素膜104を形成後に、その上面に選択的にニッケル微量添加を行う方法でもよい。即ち、結晶成長は非晶質珪素膜の上面側から行ってもよいし、下面側から行ってもよい。また、予め非晶質珪素膜を成膜し、さらにイオンドーピング法を用いて、ニッケルイオンを非晶質珪素膜104に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができるという特徴を有する。また、ニッケルの薄膜を成膜する代わりにプラズマ処理により、ニッケル微量添加を行うのもよい。

【0037】図2に示す回路は、PTFTとNTFTとを相補型に設けたCMOS構造であるが、上記工程において、2つのTFTを同時に作り、中央で切断すること

により、独立したTFTを2つ同時に作製することも可能である。

【0038】

【効果】アクティブマトリックス型の液晶表示装置において、周辺回路部分のTFTをキャリアの流れに対して平行な方向に結晶成長させた結晶性珪素膜で構成し、画素部分のTFTをキャリアの流れに対して垂直方向に構成した結晶性珪素膜で構成することによって、周辺回路部分においては高速動作が行える構成とすることができ、画素部分では電荷保持のために必要とされるオフ電流値の小さいTFTを設ける構成とすることができる。

【図面の簡単な説明】

【図1】 実施例の概要を示す。

【図2】 実施例の作製工程を示す。

【図3】 実施例の概要を示す。

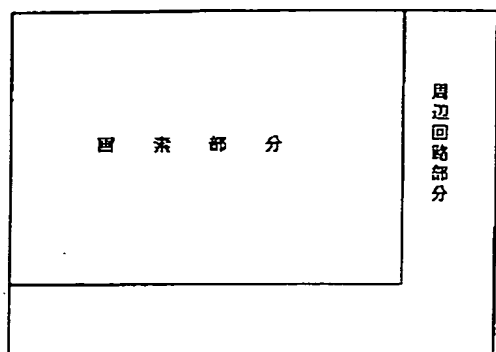
【図4】 実施例の作製工程を示す。

【図5】 実施例の概要を示す。

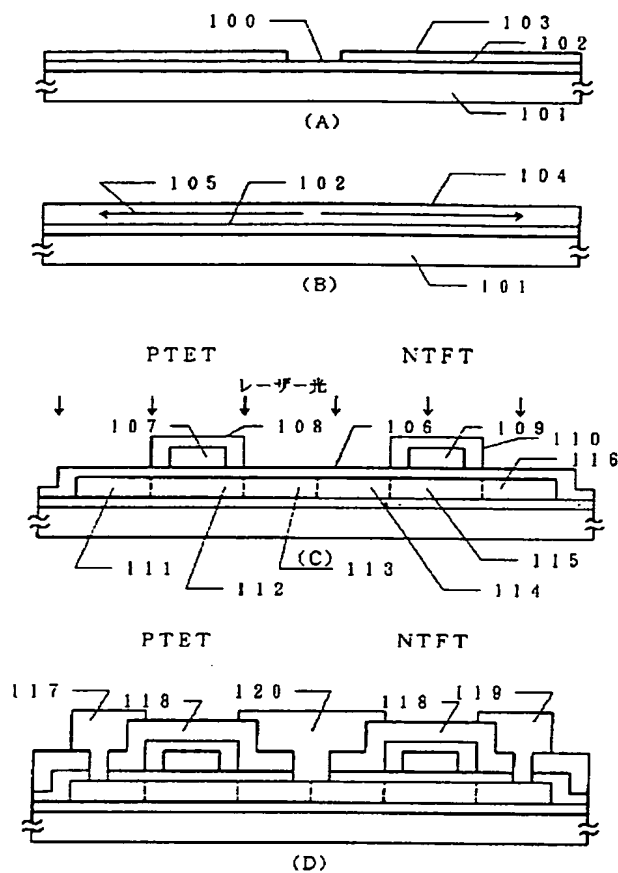
【符号の説明】

|     |            |
|-----|------------|
| 101 | ガラス基板      |
| 102 | 下地膜（酸化珪素膜） |
| 103 | マスク        |
| 100 | ニッケル微量添加領域 |
| 105 | 結晶成長方向     |
| 107 | ゲイト電極      |
| 108 | 陽極酸化層      |
| 109 | ゲイト電極      |
| 110 | 陽極酸化層      |
| 111 | ソース／ドレイン領域 |
| 112 | チャネル形成領域   |
| 113 | ドレイン／ソース領域 |
| 114 | ソース／ドレイン領域 |
| 115 | チャネル形成領域   |
| 116 | ドレイン／ソース領域 |
| 117 | 電極         |
| 118 | 層間絶縁物      |
| 119 | 電極         |
| 120 | 電極         |
| 211 | 層間絶縁物      |
| 213 | 電極         |
| 214 | 電極         |
| 212 | ITO（画素電極）  |

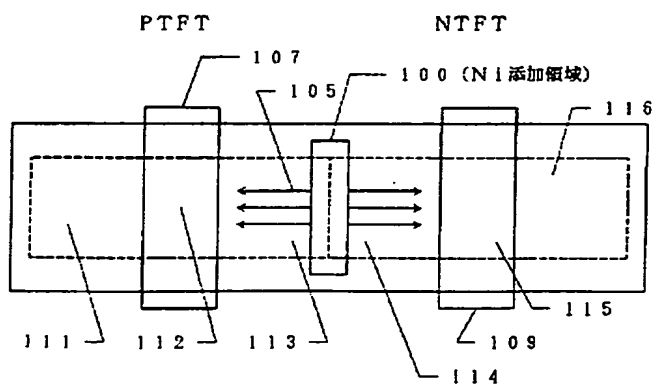
【図 1】



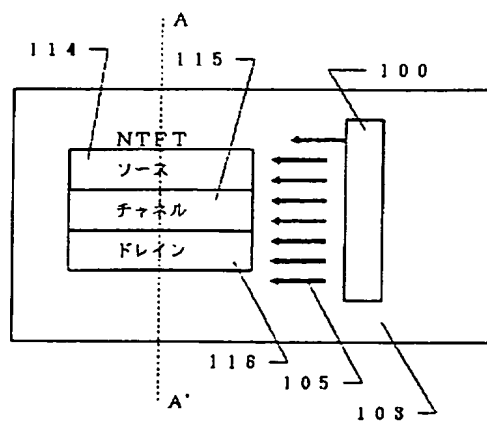
【図 2】



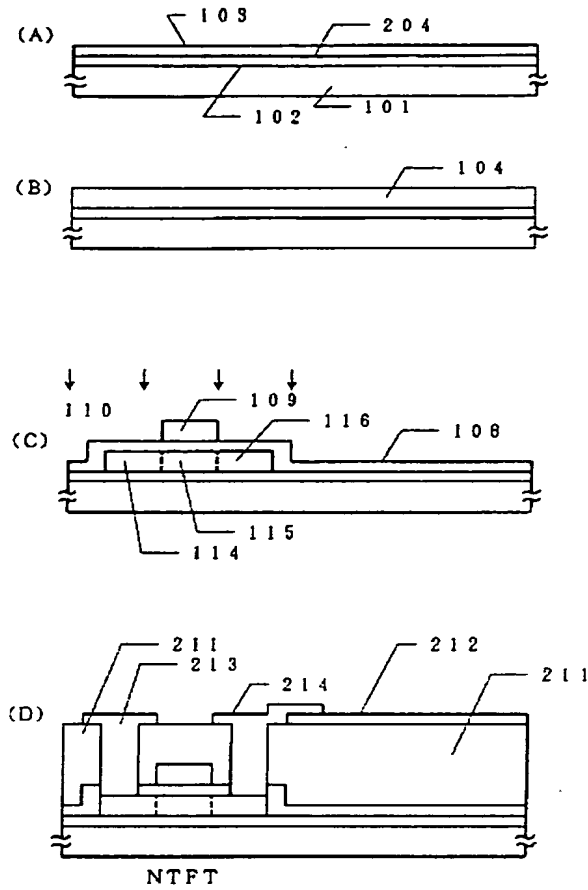
【図 3】



【図 5】



【図 4】



フロントページの続き

(72)発明者 田仲 広久  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

(72)発明者 張 宏勇  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内  
 (72)発明者 高山 徹  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内